

9/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

013571596 **Image available**

WPI Acc No: 2001-055803/ 200107

XRPX Acc No: N01-043308

Video format converting circuit for digital signal broadcasting, converts image data corresponding to analog video signal into another image data corresponding to another video signal based on discrimination result

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000316140	A	20001114	JP 99123690	A	19990430	200107 B

Priority Applications (No Type Date): JP 99123690 A 19990430

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 2000316140 A 14 H04N-007/01

Abstract (Basic): JP 2000316140 A

NOVELTY - Discriminator (40) distinguishes video format of analog video signal (AVS1) from field information (FI) output from decoder (20). A converter (4) converts image data corresponding to video signal (AVS1) into another image data corresponding to another video signal (AVS2) based on discrimination result.

USE - Video format converting circuit for digital signal broadcasting.

ADVANTAGE - Converting image data from one video format to another format is automated.

DESCRIPTION OF DRAWING(S) - The figure shows block diagram of video format converting circuit.

Converter (4)

Decoder (20)

Discriminator (40)

pp; 14 DwgNo 1/6

Title Terms: VIDEO; FORMAT; CONVERT; CIRCUIT; DIGITAL; SIGNAL; BROADCAST; CONVERT; IMAGE; DATA; CORRESPOND; ANALOGUE; VIDEO; SIGNAL; IMAGE; DATA; CORRESPOND; VIDEO; SIGNAL; BASED; DISCRIMINATE; RESULT

Derwent Class: W03; W04

International Patent Class (Main): H04N-007/01

File Segment: EPI

9/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

06730296 **Image available**

VIDEO FORMAT CONVERTING CIRCUIT

PUB. NO.: 2000-316140 A]

PUBLISHED: November 14, 2000 (20001114)

INVENTOR(s): MATSUURA TAKAHARU

URAKAWA HIROYOSHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD

APPL. NO.: 11-123690 [JP 99123690]

FILED: April 30, 1999 (19990430)

INTL CLASS: H04N-007/01

ABSTRACT

PROBLEM TO BE SOLVED: To provide a video format converting circuit for automatically controlling a video format converting part according to the

video format of a transmitted video signal, and for switching the frequency-division ratio of a write side PLL circuit and the characteristics of a low-pass filter.

SOLUTION: A discriminating circuit 40 discriminates the classification of the first video format of a first analog video signal AVS1 from field information FI outputted from a decoder 20. The discriminating circuit 40 outputs a control switch signal for switching write control to a memory circuit 42 to a video format converting part 4, and outputs a frequency-division signal for switching a frequency-division ratio to a frequency divider 81, and outputs a band characteristic switch signal for switching band characteristics to a low-pass filter 2 according to the discriminated result.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-316140

(P2000-316140A)

(43)公開日 平成12年11月14日 (2000.11.14)

(51)Int.Cl.

H04N 7/01

識別記号

F I

H04N 7/01

テ-マ-ト* (参考)

C 5 C 0 6 3

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21)出願番号 特願平11-123690

(22)出願日 平成11年4月30日 (1999.4.30)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 松浦 隆治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 浦川 裕喜

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100098305

弁理士 福島 祥人

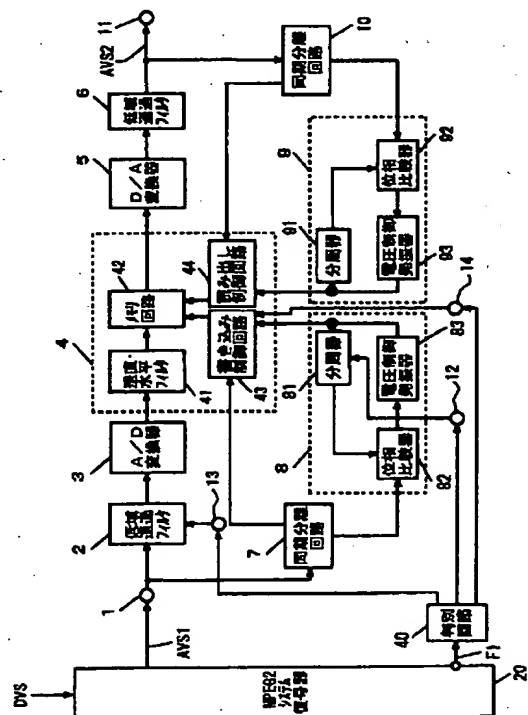
Fターム(参考) 5C063 BA01 CA01 CA09 CA12 CA14
CA23 CA40

(54)【発明の名称】 映像フォーマット変換回路

(57)【要約】

【課題】 送信されてきた映像信号の映像フォーマットに応じて自動的に映像フォーマット変換部の制御、書き込み側PLL回路の分周比および低域通過フィルタの特性を切り換えることができる映像フォーマット変換回路を提供することである。

【解決手段】 判別回路40は、第1のアナログ映像信号AVS1の第1の映像フォーマットの種別を、復号器20から出力されるフィールド情報FIから判別する。判別回路40は判別結果に応じて、メモリ回路42への書き込み制御を切り換える制御切り換え信号を映像フォーマット変換部4に出力し、分周比を切り換える分周比信号を分周器81に出力し、帯域特性を切り換える帯域特性切り換え信号を低域通過フィルタ2に出力する。



【特許請求の範囲】

【請求項 1】 任意の映像フォーマットを有する第 1 の映像信号を所定の映像フォーマットを有する第 2 の映像信号に変換する映像フォーマット変換回路であって、前記第 1 の映像信号の映像フォーマットを示すフォーマット情報から前記第 1 の映像信号の映像フォーマットを判別する判別手段と、前記判別手段の判別結果に基づいて前記第 1 の映像信号に対応する第 1 の画像データを前記第 2 の映像信号に対応する第 2 の画像データに変換する変換手段とを備えたことを特徴とする映像フォーマット変換回路。

【請求項 2】 前記変換手段は、メモリ回路と、前記メモリ回路に前記第 1 の画像データを書き込み、前記メモリ回路に記憶された前記第 1 の画像データを前記第 2 の画像データとして読み出す読み書き制御手段とを含み、前記判別手段は、前記判別結果に基づいて前記読み書き制御手段の書き込み動作および読み出し動作の少なくとも一方を切り換えることを特徴とする請求項 1 記載の映像フォーマット変換回路。

【請求項 3】 前記読み書き制御手段は、書き込みクロックを発生する第 1 のクロック発生手段と、前記第 1 のクロック発生手段により発生された前記書き込みクロックに応答して前記第 1 の画像データを前記メモリ回路に書き込む書き込み制御手段と、読み出しクロックを発生する第 2 のクロック発生手段と、前記第 2 のクロック発生手段により発生された前記読み出しクロックに応答して前記メモリ回路に記憶された前記第 1 の画像データを読み出す読み出し制御手段とを含み、前記判別手段は、前記判別結果に基づいて前記第 1 のクロック発生手段により発生される前記書き込みクロックの周波数を切り換える切り換え信号を出力することを特徴とする請求項 2 記載の映像フォーマット変換回路。

【請求項 4】 前記第 1 のクロック発生手段は、前記第 1 の映像信号から同期信号を分離する同期分離手段と、分周器を有し、前記同期分離手段により得られた前記同期信号に同期する前記書き込みクロックを発生する位相同期ループとを含み、前記判別手段により出力される前記切り換え信号は、前記位相同期ループの前記分周器の分周比を切り換えるための分周比切り換え信号であることを特徴とする請求項 3 記載の映像フォーマット変換回路。

【請求項 5】 前記読み書き制御手段は、書き込みクロックを発生する第 1 のクロック発生手段と、

前記第 1 のクロック発生手段により発生された前記書き込みクロックに応答して前記第 1 の画像データを前記メモリ回路に書き込み制御手段と、読み出しクロックを発生する第 2 のクロック発生手段と、前記第 2 のクロック発生手段により発生された前記読み出しクロックに応答して前記メモリ回路に記憶された前記第 1 の画像データを読み出す読み出し制御手段とを含み、前記判別手段は、前記判別結果に基づいて前記書き込み制御手段および前記読み出し制御手段の少なくとも一方の動作を切り換える切り換え信号を出力することを特徴とする請求項 2 記載の映像フォーマット変換回路。

【請求項 6】 前記変換手段は、前記第 1 の映像信号の特定の帯域を通過させる帯域通過フィルタと、前記帯域通過フィルタから出力される前記第 1 の映像信号を前記第 1 の画像データに変換するデジタル化手段とを含み、前記判別手段は、前記判別結果に基づいて前記帯域通過フィルタの帯域特性を切り換えるための切り換え信号を出力することを特徴とする請求項 1～5 記載の映像フォーマット変換回路。

【請求項 7】 所定の映像規格で符号化されたデジタル映像信号を前記フォーマット情報に基づいて前記第 1 の映像信号に復号して前記変換手段に与えるとともに前記フォーマット情報を前記判別手段に与える復号器をさらに備えたことを特徴とする請求項 1～6 のいずれかに記載の映像フォーマット変換回路。

【請求項 8】 前記復号器は M P E G 規格に準拠した復号器であることを特徴とする請求項 7 記載の映像フォーマット変換回路。

【請求項 9】 所定の映像規格で符号化されたデジタル映像信号を前記フォーマット情報に基づいて前記第 1 の映像信号に復号して前記変換手段に与えるとともに前記フォーマット情報を前記判別手段に与え、かつ前記デジタル映像信号とともに与えられるデータから基準クロックを生成する復号器をさらに備え、前記変換手段は、前記復号器により生成された基準クロックに応答して前記第 1 の画像データを前記第 2 の画像データに変換することを特徴とする請求項 1 記載の映像フォーマット変換回路。

【請求項 10】 前記変換手段は、メモリ回路と、前記メモリ回路に前記第 1 の画像データを書き込み、前記メモリ回路に記憶された前記第 1 の画像データを前記第 2 の画像データとして読み出す読み書き制御手段とを含み、前記読み書き制御手段は、前記復号器により生成された前記基準クロックに応答して前記メモリ回路に記憶され

た前記第1の画像データを読み出すことを特徴とする請求項9記載の映像フォーマット変換回路。

【請求項11】 前記読み書き制御手段は、前記第1の映像信号から第1の同期信号を分離する同期分離手段と、前記同期分離手段により得られた前記第1の同期信号に同期する書き込みクロック信号を発生する位相同期ループと、前記位相同期ループにより発生される前記書き込み信号にตอบสนองして前記第1の画像データを前記メモリ回路に書き込む書き込み制御手段と、前記同期分離手段により得られた前記第1の同期信号および前記復号器により生成された前記基準クロックに基づいて第2の同期信号を生成する同期信号生成手段と、前記復号器により生成された前記基準クロックおよび前記同期信号生成手段により生成された前記第2の同期信号にตอบสนองして前記メモリ回路に記憶された第1の画像データを読み出す読み出し制御手段とを含むことを特徴とする請求項10記載の映像フォーマット変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像符号化標準（映像規格）に準拠した復号器を有し、当該復号器で復号された映像信号の映像フォーマットを変換する映像フォーマット変換回路に関する。

【0002】

【従来の技術】 我が国では、すでにCS（Communication Satellite）放送のデジタル化が行われ、BS（Broadcasting Satellite）放送のデジタル化技術基準も固まっている。さらに、地上放送のデジタル化も検討段階に入っている。このように放送のデジタル化が進むなかで、画像および音声符号化の国際標準の1つであるMPEG（Moving Picture Experts Group）の規格に準拠したMPEG2システム復号器としては、例えば藤原洋監修、マルチメディア通信研究会編、最新MPEG教科書（株式会社アスキー、1994年8月1日初版発行）、藤原洋監修、マルチメディア通信研究会編、実践MPEG教科書（株式会社アスキー、1995年11月1日初版発行）に記載されたものが知られている。

【0003】 また、デジタル放送では伝送される映像信号の映像フォーマットが多種にわたり、どのような映像フォーマットを持った映像信号であってもテレビ受像機に映出する必要が生じてきている。映像フォーマットに係わらず映像信号を映出しようとしても、異なる映像フォーマット間では例えば走査線の周波数（走査線数）が異なる場合があるので、偏向系回路の負担が大きくなってしまい、その実現は困難である。そこで、デジタル技術を用いて任意の映像フォーマットを持った映像信号を加工して所定の走査線数や走査方式を有する所定の映像フォーマットに変換して例えばNTSC（National

Television System Committee）信号に対応させ、偏向系回路の回路規模等の負担を軽減する技術が利用されている。

【0004】 図4は従来の映像フォーマット変換回路を示すブロック図である。図4に示す従来の映像フォーマット変換回路には、輝度信号および2つの色差信号のコンポーネント信号が入力される。したがって、図4に示す従来の映像フォーマット変換回路において、共有化できるクロック発生回路を除く回路が3系統必要である。ここで、クロック発生回路とは、同期分離回路7、10、書き込み側PLL（位相同期ループ）回路8および読み出し側PLL（位相同期ループ）回路9である。

【0005】 図4において、低域通過フィルタ（以下LPFという）2は、輝度信号または色差信号のコンポーネント信号からなる第1のアナログ映像信号AVS1を入力端子1を介して受け、第1のアナログ映像信号AVS1の帯域制限を行ってA/D変換器3に対して出力する。LPF2の帯域特性は、端子13の帯域特性切り換え信号により切り換えられる。

【0006】 A/D変換器3は、LPF2から入力した第1のアナログ映像信号AVS1をデジタル信号に変換し、第1の画像データとして映像フォーマット変換部4に出力する。

【0007】 映像フォーマット変換部4は、垂直・水平フィルタ41、メモリ回路42、書き込み制御回路43および読み出し制御回路44を備えている。メモリ回路42は、例えば、ラインメモリにより構成される。

【0008】 垂直・水平フィルタ41は、A/D変換器3から入力した第1の画像データに対して所定のフィルタリングを行ってからメモリ回路42に与える。

【0009】 メモリ回路42は、後述する書き込み制御回路43の制御のもとで、垂直・水平フィルタ41から入力した第1の画像データの記憶を行う。

【0010】 書き込み制御回路43は、後述する書き込み側PLL回路8から与えられる書き込みクロックに応じて、垂直・水平フィルタ41から入力された第1の画像データをメモリ回路42に書き込む際の書き込み制御を行う。書き込み制御回路43が行う書き込みの制御には、書き込むべき画像データと水平走査および垂直走査との対応関係を認識するために、同期分離回路7から入力した水平同期信号および垂直同期信号が用いられる。書き込み制御回路43が行う書き込みの制御は、端子14の制御切り換え信号により切り換えられる。

【0011】 読み出し制御回路44は、後述する読み出し側PLL回路9から与えられる読み出しクロックに応じて、メモリ回路42に記憶されている第1の画像データを第2の画像データとして読み出す。読み出し制御回路44が行う読み出しの制御には、後述する同期分離回路10から与えられる水平同期信号および垂直同期信号が用いられる。メモリ回路42から読み出された第2の

画像データは、D/A変換器5に出力される。この第2の画像データの映像フォーマットは、後述する第2のアナログ映像信号AVS2の映像フォーマットと同じである。

【0012】D/A変換器5は、メモリ回路42から読み出された第2の画像データをアナログ化し、低域通過フィルタ（以下、LPFという）6に対して出力する。

【0013】LPF6は、D/A変換器5から出力されたアナログ映像信号の帯域制限を行い、第2のアナログ映像信号AVS2として出力端子11および同期分離回路10に出力する。この第2のアナログ映像信号AVS2の映像フォーマットは予め定められている。

【0014】同期分離回路7は、入力端子1から第1のアナログ映像信号AVS1を受け、この第1のアナログ映像信号AVS1から水平同期信号および垂直同期信号を分離する。同期分離回路7は、書き込み側PLL回路8に対して水平同期信号を出力するとともに書き込み制御回路43に対して水平同期信号および垂直同期信号を出力する。

【0015】書き込み側PLL回路8は、同期分離回路7から入力した水平同期信号に同期した書き込みクロックを書き込み制御回路43に出力する。この書き込みクロックを端子12の分周比信号に応じた分周比で分周した信号が水平同期信号に一致する。そのために、書き込み側PLL回路8は、分周器81、位相比較器82および電圧制御発振器83を含む。

【0016】分周器81は、端子12の分周比信号に基づいて、後述する電圧制御発振器83の出力信号を $1/N_w$ に分周して位相比較器82に出力する。このとき、分周器81は、分周比 N_w を端子12の分周比信号に応じて設定する。位相比較器82は、分周器81の出力信号と同期分離回路7から出力された水平同期信号とを位相比較し、これらの信号の位相差に応じた電圧を電圧制御発振器83に出力する。電圧制御発振器83は、位相比較器82から入力した電圧の大きさに応じた周波数を持つ出力信号を書き込みクロックとして分周器81および書き込み制御回路43に出力する。このような構成により、電圧制御発振器83から出力される書き込みクロックを第1のアナログ映像信号AVS1の水平同期信号に同期させることができる。

【0017】読み出し側においては、同期分離回路10は、LPF6から出力された第2のアナログ映像信号AVS2を受け、この第2のアナログ映像信号AVS2から水平同期信号および垂直同期信号を分離する。同期分離回路10は、分離した水平同期信号を読み出し側PLL回路9に出力するとともに、水平同期信号および垂直同期信号を読み出し制御回路44に出力する。

【0018】読み出し側PLL回路9は、同期分離回路10から入力した水平同期信号に同期した読み出しクロックを読み出し制御回路44に出力する。この読み出し

クロックを分周比 N_r で分周した信号がこの水平同期信号に一致する。そのために、読み出し側PLL回路9は、分周器91、位相比較器92および電圧制御発振器93を含む。

【0019】分周器91は、後述する電圧制御発振器93の出力信号を $1/N_r$ に分周して位相比較器92に出力する。位相比較器92は、分周器91の出力信号と同期分離回路10から出力された水平同期信号とを位相比較し、これらの信号の位相差に応じた電圧を電圧制御発振器93に出力する。電圧制御発振器93は、位相比較器92から入力した電圧の大きさに応じた周波数を持つ出力信号を書き込みクロックとして分周器91および読み出し制御回路44に出力する。このような構成により、電圧制御発振器93から出力される読み出しクロックを第2のアナログ映像信号AVS2の水平同期信号に同期させることができる。

【0020】上記のように、映像フォーマット変換部4のメモリ回路42は、第1のアナログ映像信号AVS1および第2のアナログ映像信号AVS2の映像周波数の差を用いて走査線数の変換を行う。

【0021】書き込み側PLL回路8および読み出し側PLL回路9の動作についてさらに説明する。ここでは、走査線数1050本およびフィールド周波数59.94Hzの第1のアナログ映像信号AVS1を、走査線数525本およびフィールド周波数59.94Hzの第2のアナログ映像信号AVS2（NTSC信号）に変換する場合、並びに走査線数525本およびフィールド周波数59.94Hzの第1のアナログ映像信号AVS1を、走査線数525本およびフィールド周波数59.94Hzの第2のアナログ映像信号AVS2として映像フォーマットの変換なしに出力する場合について説明する。

【0022】書き込み側PLL回路8は、第1のアナログ映像信号AVS1が走査線数525本およびフィールド周波数59.94Hzであれば、映像フォーマット変換部4のメモリ回路42が1ラインあたり858のデータを記憶できるように13.5MHzの書き込みクロックを発生する。しかし、一方、第1のアナログ映像信号AVS1が走査線数1050本およびフィールド周波数59.94Hzの場合には、この倍の27MHzの書き込みクロックを発生する。

【0023】一方、読み出し側PLL回路9は、第1のアナログ映像信号AVS1の映像フォーマットにかかわらず、走査線数525本およびフィールド周波数59.94Hzの第2のアナログ映像信号AVS2（NTSC信号）を出力するので、映像フォーマット変換部4が13.5MHzの周波数で読み出し処理を行うように、13.5MHzの読み出しクロックを発生する。

【0024】走査線数525本およびフィールド周波数59.94Hzの第1のアナログ映像信号AVS1を走

走査線数525本およびフィールド周波数59.94Hzの第2のアナログ映像信号AVS2として同一映像フォーマットのまま出力する場合は、図5(a)に示す第1のアナログ映像信号AVS1に対応するデータをメモリ回路42に、図5(b)に示す13.5MHzの書き込みクロックで書き込んで、図5(c)に示す13.5MHzの読み出しクロックで読み出す。

【0025】走査線数1050本およびフィールド周波数59.94Hzの第1のアナログ映像信号AVS1を走査線数525本およびフィールド周波数59.94Hzの第2のアナログ映像信号AVS2(NTSC信号)に変換する場合、図6(a)に示す第1のアナログ映像信号AVS1を1ラインおきに、図6(b)に示す27MHzの書き込みクロックでメモリ回路42に書き込み、図6(c)に示す13.5MHzの読み出しクロックでメモリ回路42から読み出すことにより走査線を半分に間引く。

【0026】

【発明が解決しようとする課題】ところで、第1のアナログ映像信号AVS1を時間軸上で操作して異なる走査方式に対応した映像信号を得る場合には、入力されている第1のアナログ映像信号AVS1の走査条件を知った上で、書き込み側PLL回路8で発生する書き込みクロックの周波数を設定し、書き込み制御回路43および読み出し制御回路44を制御する必要がある。

【0027】特に、第1のアナログ映像信号AVS1が走査線数1050本およびフィールド周波数59.94Hzである場合と走査線数525本およびフィールド周波数59.94Hzである場合とでは、書き込み側PLL回路8が発生する書き込みクロックの周波数が2倍も異なるため、書き込み側PLL回路8を第1のアナログ映像信号AVS1に同期させることが難しい。そのため、書き込み側PLL回路8の分周器81の分周比Nwを端子12から入力される分周比信号によって切り換える必要がある。

【0028】また、端子14から入力される制御切り換え信号によって、書き込み制御回路43を制御する必要がある。さらに、入力段にあるLPF2に端子13から入力される帯域特性切り換え信号によってLPF2の帯域特性を切り換える必要がある。

【0029】しかしながら、これらの書き込み制御回路43、分周器81およびLPF2の切り換え制御を自動的に行う手段がなかったため、端子12～14に入力される信号を手動で切り換えて制御を行わなければならないという課題があった。

【0030】また、読み出しクロックを生成するために読み出し側PLL回路9が必要であるため、同一の映像フォーマット変換回路内にPLL回路が複数存在する。同一映像フォーマット変換回路内で動作するPLL回路の個数が多くなるほど、異なるクロック同士の相互干渉

を発生させてジッタを起こすという課題があった。

【0031】本発明の目的は、任意の映像フォーマットを有する映像信号を所定の映像フォーマットを有する映像信号に自動的に変換することができる映像フォーマット変換回路を提供することである。

【0032】本発明の他の目的は、PLL回路が複数ある場合にそれらPLL回路同士の相互干渉により発生するジッタを防止するため、PLL回路の数を削減した映像フォーマット変換回路を提供することである。

【0033】

【課題を解決するための手段】第1の発明に係る映像フォーマット変換回路は、任意の映像フォーマットを有する第1の映像信号を所定の映像フォーマットを有する第2の映像信号に変換する映像フォーマット変換回路であって、第1の映像信号の映像フォーマットを示すフォーマット情報から第1の映像信号の映像フォーマットを判別する判別手段と、判別手段の判別結果に基づいて第1の映像信号に対応する第1の画像データを第2の映像信号に対応する第2の画像データに変換する変換手段とを備えたものである。

【0034】本発明に係る映像フォーマット変換回路においては、判別手段により第1の映像信号の映像フォーマットが判別され、変換手段により判別手段の判別結果に基づいて第1の映像信号に対応する第1の画像データが第2の映像信号に対応する第2の画像データに変換される。

【0035】したがって、判別手段によって任意の映像フォーマットを有する第1の画像データの映像フォーマットが判別されて変換手段における変換前後の映像フォーマットが認識されるので、第1の画像データから第2の画像データへの変換を自動化できる。それにより、任意の映像フォーマットを有する第1の映像信号から所定の映像フォーマットを有する第2の映像信号への変換を自動化することができる。

【0036】第2の発明に係る映像フォーマット変換回路は、第1の発明に係る映像フォーマット変換回路の構成において、変換手段は、メモリ回路と、メモリ回路に第1の画像データを書き込み、メモリ回路に記憶された第1の画像データを第2の画像データとして読み出す読み書き制御手段とを含み、判別手段は、判別結果に基づいて読み書き制御手段の書き込み動作および読み出し動作の少なくとも一方を切り換えるものである。

【0037】この場合、変換手段における第1の画像データから第2の画像データへの変換は、読み書き制御手段によりメモリ回路に第1の画像データを書き込み、また読み書き制御手段によりメモリ回路に記憶された第1の画像データを第2の画像データとして読み出すことによって行われる。その読み書き制御手段の書き込み動作および読み出し動作の少なくとも一方を判別手段が切り換える。

【0038】それにより、任意の映像フォーマットを有する第1の映像信号から所定の映像フォーマットを有する第2の映像信号への変換を容易に自動化することができる。

【0039】第3の発明に係る映像フォーマット変換回路は、第2の発明に係る映像フォーマット変換回路の構成において、読み書き制御手段は、書き込みクロックを発生する第1のクロック発生手段と、第1のクロック発生手段により発生された書き込みクロックにตอบสนองして第1の画像データをメモリ回路に書き込む書き込み制御手段と、読み出しクロックを発生する第2のクロック発生手段と、第2のクロック発生手段により発生された読み出しクロックにตอบสนองしてメモリ回路に記憶された第1の画像データを読み出す読み出し制御手段とを含み、判別手段は、判別結果に基づいて第1のクロック発生手段により発生される書き込みクロックの周波数を切り換える切り換え信号を出力するものである。

【0040】この場合、読み書き制御手段におけるメモリ回路への第1の画像データの書き込みは、書き込み制御手段が第1のクロック発生手段により発生された書き込みクロックにตอบสนองして第1の画像データをメモリ回路に書き込むことによって行う。その第1のクロック発生手段の発生する書き込みクロックの周波数を切り換える切り換え信号を判別手段が出力する。

【0041】それにより、任意の映像フォーマットを有する第1の映像信号から所定の映像フォーマットを有する第2の映像信号への変換の自動化のうち、第1の映像信号の映像フォーマットの変更に伴って読み書き制御手段で行う書き込みクロックの周波数切り換えを自動化することができる。

【0042】第4の発明に係る映像フォーマット変換回路は、第3の発明に係る映像フォーマット変換回路の構成において、第1のクロック発生手段は、第1の映像信号から同期信号を分離する同期分離手段と、分周器を有し、同期分離手段により得られた同期信号に同期する書き込みクロックを発生する位相同期ループとを含み、判別手段により出力される切り換え信号は、位相同期ループの分周器の分周比を切り換えるための分周比切り換え信号であるものである。

【0043】この場合、第1のクロック発生手段における書き込みクロックの発生は、分周器で書き込みクロックを分周した信号と同期信号との位相を一致させ、位相同期ループが同期分離手段により得られた同期信号に同期する書き込みクロックを発生することによって行われる。その分周器の分周比を切り換えるための分周比切り換え信号を判別手段が発生する。

【0044】それにより、分周器の分周比の切り換えによって簡単に書き込みクロックの周波数の切り換えを自動化することができる。

【0045】第5の発明に係る映像フォーマット変換回

路は、第2の発明に係る映像フォーマット変換回路の構成において、読み書き制御手段は、書き込みクロックを発生する第1のクロック発生手段と、第1のクロック発生手段により発生された書き込みクロックにตอบสนองして第1の画像データをメモリ回路に書き込み制御手段と、読み出しクロックを発生する第2のクロック発生手段と、第2のクロック発生手段により発生された読み出しクロックにตอบสนองしてメモリ回路に記憶された第1の画像データを読み出す読み出し制御手段とを含み、判別手段は、判別結果に基づいて書き込み制御手段および読み出し制御手段の少なくとも一方の動作を切り換える切り換え信号を出力するものである。

【0046】この場合、読み書き制御手段におけるメモリ回路の第1の画像データの書き込みは、書き込み制御手段が第1のクロック発生手段により発生された書き込みクロックにตอบสนองして第1の画像データをメモリ回路に書き込むことによって行われる。また、読み書き制御手段におけるメモリ回路からの第2の画像データの読み出しは、読み出し制御手段が第2のクロック発生手段により発生された読み出しクロックにตอบสนองしてメモリ回路に記憶された第1の画像データを読み出すことによって行われる。それら書き込み制御手段および読み出し制御手段の少なくとも一方の動作を切り換える切り換え信号を判別手段が出力する。

【0047】それにより、任意の映像フォーマットを有する第1の映像信号から所定の映像フォーマットを有する第2の映像信号への変換の自動化のうち、第1の映像信号の映像フォーマットの変更に伴う書き込み制御手段および読み出し制御手段の少なくとも一方の動作の切り換えについて自動化することができる。

【0048】第6の発明に係る映像フォーマット変換回路は、第1～第5のいずれかの発明に係る映像フォーマット変換回路の構成において、変換手段は、第1の映像信号の特定の帯域を通過させる帯域通過フィルタと、帯域通過フィルタから出力される第1の映像信号を第1の画像データに変換するデジタル化手段とを含み、判別手段は、別結果に基づいて帯域通過フィルタの帯域特性を切り換えるための切り換え信号を出力するものである。

【0049】この場合、変換手段における第1の画像データから第2の画像データへの変換は、帯域通過フィルタにより特定の帯域以外の周波数成分の濾波を行い、デジタル化手段により帯域通過フィルタから出力される第1の映像信号の第1の画像データに変換する。その帯域通過フィルタの帯域特性を切り換えるための切り換え信号を判別手段が出力する。

【0050】それにより、任意の映像フォーマットを有する第1の映像信号から所定の映像フォーマットを有する第2の映像信号への変換の自動化のうち、第1の映像信号の映像フォーマットの変更に伴って帯域通過フィル

タで行われる帯域特性の切り換えについて自動化することができる。

【0051】第7の発明に係る映像フォーマット変換回路は、第1～第6のいずれかの発明に係る映像フォーマット変換回路の構成において、所定の映像規格で符号化されたデジタル映像信号をフォーマット情報に基づいて第1の映像信号に復号して変換手段に与えるとともにフォーマット情報を判別手段に与える復号器をさらに備えたものである。

【0052】この場合、復号器により第1の映像信号が変換手段に与えられ、同時に復号器より第1の映像信号の復号の基礎となったフォーマット情報が判別手段に与えられる。

【0053】それにより、変換手段が変換する第1の映像信号のフォーマット情報を抽出する手段を新たに設けなくてもよくなり、構成を簡単化できる。

【0054】第8の発明に係る映像フォーマット変換回路は、第7の発明に係る映像フォーマット変換回路の構成において、復号器をMPEG規格に準拠した復号器としたものである。

【0055】この場合、復号器がMPEG規格に準拠しているので、復号器および判別手段におけるフォーマット情報の処理がMPEG規格に沿って行うことができ、判別手段および変換手段の構成を簡単化できる。

【0056】第9の発明に係る映像フォーマット変換回路は、第1の発明に係る映像フォーマット変換回路の構成において、所定の映像規格で符号化されたデジタル映像信号をフォーマット情報に基づいて第1の映像信号に復号して変換手段に与えるとともにフォーマット情報を判別手段に与え、かつデジタル映像信号とともに与えられるデータから基準クロックを生成する復号器をさらに備え、変換手段は、復号器により生成された基準クロックにตอบสนองして第1の画像データを第2の画像データに変換するものである。

【0057】この場合、変換手段における第1の画像データから第2の画像データへの変換は、変換手段により基準クロックにตอบสนองして行われる。その基準クロックは復号器により発生される。

【0058】それにより、変換手段では異なるクロック同士の相互干渉の発生を防止でき、ジッタの発生を防止することができる。

【0059】第10の発明に係る映像フォーマット変換回路は、第9の発明に係る映像フォーマット変換回路の構成において、変換手段は、メモリ回路と、メモリ回路に第1の画像データを書き込み、メモリ回路に記憶された第1の画像データを第2の画像データとして読み出す読み書き制御手段とを含み、読み書き制御手段は、復号器により生成された基準クロックにตอบสนองしてメモリ回路に記憶された第1の画像データを読み出すものである。

【0060】この場合、変換手段における第1の画像デ

ータの読み出しは、読み書き制御手段が復号器により生成された基準クロックにตอบสนองしてメモリ回路に記憶された第1の画像データを読み出すことによって行われる。

【0061】それにより、変換手段では書き込みクロックと読み出しクロックとの相互干渉によるジッタの発生を防止することができる。

【0062】第11の発明に係る映像フォーマット変換回路は、第10の発明に係る映像フォーマット変換回路の構成において、読み書き制御手段は、第1の映像信号から第1の同期信号を分離する同期分離手段と、同期分離手段により得られた第1の同期信号に同期する書き込みクロック信号を発生する位相同期ループと、位相同期ループにより発生される書き込み信号にตอบสนองして第1の画像データをメモリ回路に書き込む書き込み制御手段と、同期分離手段により得られた第1の同期信号および復号器により生成された基準クロックに基づいて第2の同期信号を生成する同期信号生成手段と、復号器により生成された基準クロックおよび同期信号生成手段により生成された第2の同期信号にตอบสนองしてメモリ回路に記憶された第1の画像データを読み出す読み出し制御手段とを含むものである。

【0063】この場合、読み書き制御手段における第1の画像データの読み出しは、読み出し制御手段が復号器により生成された基準クロックおよび同期信号生成手段により生成された第2の同期信号にตอบสนองしてメモリ回路に記憶された第1の画像データを読み出すことによって行われる。

【0064】それにより、読み出しクロックを生成するために通常設けられる読み出し側位相同期ループを省くことができ、位相同期ループの数を減少させて異なるクロック同士の相互干渉によるジッタを減らすことができる。

【0065】

【発明の実施の形態】（実施の形態1）図1は本発明の実施の形態1による映像フォーマット変換回路の一構成例を示すブロック図である。

【0066】図1の映像フォーマット変換回路は、MPEG2システム復号器20、低域通過フィルタ2、A/D変換器3、映像フォーマット変換部4、D/A変換器5、低域通過フィルタ6、同期分離回路7、書き込み側PLL回路8、同期分離回路10、読み出し側PLL回路9および判別回路40を含む。

【0067】なお、図1には、入力端子1と出力端子11との間に、低域通過フィルタ2、A/D変換器3、映像フォーマット変換部4、D/A変換器5および低域通過フィルタ6からなる処理系統が1系統のみ記載されている。図1の映像フォーマット変換回路をカラー映像の処理に用いる場合には、輝度信号および2つの色差信号に対してこのような処理系統を3系統設ける必要がある。ただし、カラー映像処理の場合であっても、MPEG

G2システム復号器20、同期分離回路7、10、書き込み側PLL回路8、読み出し側PLL回路9および判別回路40は共有化できる。

【0068】図1の映像フォーマット変換回路において、MPEG2システム復号器20は、所定の映像規格で符号化されて送信されてきたデジタル映像信号DVSを復号化する。MPEG2のデータは6階層で構成されており、その中のシーケンス層には例えばビデオフォーマットや映像の横の画素数、映像の縦の走査線数、映像の表示周期、順次走査情報等が規定されている。MPEG2システム復号器20は、これらの情報をリアルタイムで判別してデジタル映像信号DVSを復号化している。

【0069】MPEG2システム復号器20は、復号化した輝度信号または色差信号のコンポネント信号を第1のアナログ映像信号AVS1として入力端子1に出力する。このデジタル映像信号DVSの映像フォーマットは任意であり、したがって、第1のアナログ映像信号AVS1の映像フォーマットも任意である。これの映像フォーマットは、例えば番組ごとに変更される場合がある。

【0070】MPEG2システム復号器20は、フォーマット情報FIを判別回路40に出力する。フォーマット情報FIは、MPEG2システム復号器20が第1のアナログ映像信号AVS1を復号化するために用いたシーケンス層中の情報である。

【0071】判別回路40は、フォーマット情報FIに基づいて第1のアナログ映像信号AVS1の映像フォーマットを判別する。そのために、判別回路40はフォーマット情報FIの中から映像フォーマットに関する情報を取り出す。判別回路40は、少なくとも垂直サイズ値(Vertical size value)、フレームレートコード(frame rate code)およびプログレッシブシーケンス(progressive sequence)を用いて水平周波数、フレームレートコードおよびプログレッシブ方式かインタレース方式かの区別を判別し、それらの組み合わせから映像フォーマットの種別を求める。

【0072】判別回路40は、判別した映像フォーマットの種別に応じて、書き込み側PLL回路8の分周比Nwを示す分周比信号を端子12に与え、低域通過フィルタ2の帯域特性を切り換えるための帯域特性切り換え信号を端子13に与え、書き込み制御回路43の書き込み制御を切り換えるための書き込み制御切り換え信号を端子14に与える。

【0073】低域通過フィルタ(以下LPFという)2は、入力端子1から第1のアナログ映像信号AVS1を受け、第1のアナログ映像信号AVS1の帯域制限を行ってA/D変換器3に対して出力する。LPF2の帯域特性は、端子13の帯域特性切り換え信号により切り換えられる。

【0074】A/D変換器3は、LPF2から入力した第1のアナログ映像信号AVS1をデジタル信号に変換し、第1の画像データとして映像フォーマット変換部4に出力する。

【0075】映像フォーマット変換部4は、垂直・水平フィルタ41、メモリ回路42、書き込み制御回路43および読み出し制御回路44を備えている。メモリ回路42は、例えば、ラインメモリにより構成される。

【0076】垂直・水平フィルタ41は、A/D変換器3から入力した第1の画像データに対して所定のフィルタリングを行ってからメモリ回路42に与える。

【0077】メモリ回路42は、後述する書き込み制御回路43の制御のもとで、垂直・水平フィルタ41から入力した第1の画像データの記憶を行う。

【0078】書き込み制御回路43は、後述する書き込み側PLL回路8から与えられる書き込みクロックに応じて、垂直・水平フィルタ41から入力された第1の画像データをメモリ回路42に書き込む際の書き込み制御を行う。書き込み制御回路43が行う書き込みの制御には、書き込むべき画像データと水平走査および垂直走査との対応関係を認識するために、同期分離回路7から入力した水平同期信号および垂直同期信号が用いられる。書き込み制御回路43が行う書き込みの制御は、端子14の制御切り換え信号により切り換えられる。

【0079】読み出し制御回路44は、後述する読み出し側PLL回路9から与えられる読み出しクロックに応じて、メモリ回路42に記憶されている第1の画像データを第2の画像データとして読み出す。読み出し制御回路44が行う読み出しの制御には、後述する同期分離回路10から与えられる水平同期信号および垂直同期信号が用いられる。メモリ回路42から読み出された第2の画像データは、D/A変換器5に出力される。この第2の画像データの映像フォーマットは、後述する第2のアナログ映像信号AVS2の映像フォーマットと同じである。

【0080】D/A変換器5は、メモリ回路42から読み出された第2の画像データをアナログ化し、低域通過フィルタ(以下、LPFという)6に対して出力する。

【0081】LPF6は、D/A変換器5から出力されたアナログ映像信号の帯域制限を行い、第2のアナログ映像信号AVS2として出力端子11および同期分離回路10に出力する。この第2のアナログ映像信号AVS2の映像フォーマットは予め定められている。

【0082】同期分離回路7は、入力端子1から第1のアナログ映像信号AVS1を受け、この第1のアナログ映像信号AVS1から水平同期信号および垂直同期信号を分離する。同期分離回路7は、書き込み側PLL回路8に対して水平同期信号を出力するとともに書き込み制御回路43に対して水平同期信号および垂直同期信号を出力する。

【0083】書き込み側PLL回路8は、同期分離回路7から入力した水平同期信号に同期した書き込みクロックを書き込み制御回路43に出力する。この書き込みクロックを端子12の分周比信号に応じた分周比で分周した信号が水平同期信号に一致する。そのために、書き込み側PLL回路8は、分周器81、位相比較器82および電圧制御発振器83を含む。

【0084】分周器81は、端子12の分周比信号に基づいて、後述する電圧制御発振器83の出力信号を $1/Nw$ に分周して位相比較器82に出力する。このとき、分周器81は、分周比 Nw を端子12の分周比信号に応じて設定する。位相比較器82は、分周器81の出力信号と同期分離回路7から出力された水平同期信号とを位相比較し、これらの信号の位相差に応じた電圧を電圧制御発振器83に出力する。電圧制御発振器83は、位相比較器82から入力した電圧の大きさに応じた周波数を持つ出力信号を書き込みクロックとして分周器81および書き込み制御回路43に出力する。このような構成により、電圧制御発振器83から出力される書き込みクロックを第1のアナログ映像信号AVS1の水平同期信号に同期させることができる。

【0085】読み出し側においては、同期分離回路10は、LPF6から出力された第2のアナログ映像信号AVS2を受け、この第2のアナログ映像信号AVS2から水平同期信号および垂直同期信号を分離する。同期分離回路10は、分離した水平同期信号を読み出し側PLL回路9に出力するとともに、水平同期信号および垂直同期信号を読み出し制御回路44に出力する。

【0086】読み出し側PLL回路9は、同期分離回路10から入力した水平同期信号に同期した読み出しクロックを読み出し制御回路44に出力する。この読み出しクロックを分周比 Nr で分周した信号がこの水平同期信号に一致する。そのために、読み出し側PLL回路9は、分周器91、位相比較器92および電圧制御発振器93を含む。

【0087】分周器91は、後述する電圧制御発振器93の出力信号を $1/Nr$ に分周して位相比較器92に出力する。位相比較器92は、分周器91の出力信号と同期分離回路10から出力された水平同期信号とを位相比較し、これらの信号の位相差に応じた電圧を電圧制御発振器93に出力する。電圧制御発振器93は、位相比較器92から入力した電圧の大きさに応じた周波数を持つ出力信号を書き込みクロックとして分周器91および読み出し制御回路44に出力する。このような構成により、電圧制御発振器93から出力される読み出しクロックを第2のアナログ映像信号AVS2の水平同期信号に同期させることができる。

【0088】図1に示す実施の形態1の映像フォーマット変換回路は、以上説明したように、映像フォーマット変換部4の書き込み制御回路43の制御の切り換え、分

周器81の分周比 Nw の切り換えおよびLPF2の帯域特性の切り換えを判別回路40から出力される制御切り換え信号、分周比信号および帯域特性切り換え信号に応じて行っている。以下、これらの動作例について説明する。なお、第2のアナログ映像信号AVS2の映像フォーマットは走査線数525本およびフィールド周波数59.94Hzのインタレース方式とする。

【0089】走査線数525本およびフィールド周波数59.94Hzのインタレース方式の第1のアナログ映像信号AVS1がMPEG2システム復号器20から出力された場合、水平周波数が15.7KHzになるので、判別回路40は、書き込み側PLL回路8が発生する書き込みクロックの周波数が13.5Hzになるように分周比 Nw を設定し、その分周比を示す分周比信号を端子12を介して分周器81に与える。

【0090】またこのとき、判別回路40は、LPF2の遮断周波数が6.75MHz以下になる帯域特性を選択し、その帯域特性に切り換えるための帯域特性切り換え信号を端子13を介してLPF2に与える。

【0091】またこのとき、判別回路40は、13.5MHzの書き込みクロックで第1の画像データの全ラインをメモリ回路42に書き込む書き込み制御を選択し、その書き込み制御に切り換えるための制御切り換え信号を端子12を介して書き込み制御回路43に与える。

【0092】次に、走査線数1050本およびフィールド周波数59.94Hzのインタレース方式の第1のアナログ映像信号AVS1がMPEG2システム復号器20から出力された場合、水平周波数が31.5KHzになるので、判別回路40は、書き込み側PLL回路8が発生する書き込みクロックの周波数が27MHzになるように分周比 Nw を設定し、その分周比を示す分周比信号を端子12を介して分周器81に与える。

【0093】またこのとき、判別回路40は、LPF2の遮断周波数が13.5MHz以下になる帯域特性を選択し、その帯域特性に切り換えるための帯域特性切り換え信号を端子13を介してLPF2に与える。

【0094】またこのとき、判別回路40は、27MHzの書き込みクロックで第1の画像データを1ラインおきにメモリ回路42に書き込む書き込み制御を選択し、その書き込み制御に切り換えるための書き込み制御信号を書き込み制御回路43に与える。この場合、13.5MHzの読み出しクロックでメモリ回路42からデータを読み出すことにより、走査線を半分に間引くことができる。

【0095】このように、本実施の形態1における映像フォーマット変換回路によれば、判別回路40によって、フォーマット情報FIから、MPEG2システム復号器20において復号された第1のアナログ映像信号AVS1の映像フォーマットの種別を判別する。その判別結果に基づいて判別回路40が出力する分周比信号に応

じて分周器81が分周比 N_w を変化させるので、書き込み側PLL回路8は、分周比 N_w を第1のアナログ映像信号AVS1の映像フォーマットに応じて自動的に切り換えることができる。

【0096】また、判別回路40が上記のような判別結果に基づき出力する帯域特性切り換え信号に応じてLPF2が帯域特性を切り換えるので、LPF2は帯域特性を第1のアナログ映像信号AVS1の映像フォーマットに応じて自動的に切り換えることができる。

【0097】また、判別回路40が上記のような判別結果に基づき出力する制御切り換え信号に応じて書き込み制御回路43が書き込み制御を切り換えるので、映像フォーマット変換部4はメモリ回路42の書き込み制御を自動的に切り換えることができる。

【0098】本実施の形態では、第1のアナログ映像信号AVS1が第1の映像信号に相当し、第2のアナログ映像信号AVS2が第2の映像信号に相当し、判別回路40が判別手段に相当し、低域通過フィルタ2、A/D変換器3、映像フォーマット変換部4、D/A変換器5、低域通過フィルタ6、同期分離回路7、書き込み側PLL回路8、読み出し側PLL回路9および同期分離回路10が変換手段に相当する。

【0099】また、低域通過フィルタ2、A/D変換器3、垂直・水平フィルタ41、書き込み制御回路43、読み出し制御回路44、D/A変換器5、低域通過フィルタ6、同期分離回路7、書き込み側PLL回路8、読み出し側PLL回路9および同期分離回路10が読み書き制御手段に相当する。

【0100】また、書き込み側PLL回路8が第1のクロック発生手段に相当し、書き込み制御回路43が書き込み制御手段に相当し、読み出し側PLL回路9が第2のクロック発生手段に相当し、読み出し制御回路44が読み出し制御手段に相当し、端子12の分周比信号が書き込みクロックの周波数を切り換える切り換え信号に相当する。

【0101】また、同期分離回路7が同期分離手段に相当し、書き込み側PLL回路8が位相同期ループに相当し、端子12の分周比信号が分周比切り換え信号に相当する。

【0102】また、端子14の書き込み制御切り換え信号が書き込み制御手段および読み出し制御手段の少なくとも一方の動作を切り換える切り換え信号に相当する。

【0103】また、低域通過フィルタ2が帯域通過フィルタに相当し、A/D変換器3がデジタル化手段に相当する。

【0104】また、MPEG2システム復号器20がデジタル映像信号を第1の映像信号に復号器で変換手段に与えるとともにフォーマット情報を判別手段に与える復号器に相当する。

【0105】なお、上記実施の形態1の映像フォーマット

変換回路においては、書き込み制御回路43の書き込み制御を第1のアナログ映像信号AVS1の映像フォーマットに応じて切り換える場合について説明したが、読み出し制御回路44の読み出し制御を切り換えてもよい。例えば、走査線数1050本およびフィールド周波数59.94Hzのインタレース方式の第1のアナログ映像信号AVS1から走査線数525本およびフィールド周波数59.94Hzのインタレース方式の第2のアナログ映像信号AVS2へ変換する場合、27MHzの書き込みクロックで第1の画像データの全ラインを書き込み、13.5MHzの読み出しクロックで1ラインおきに第1の画像データを読み出すようにしてもよい。

【0106】また、判別回路40は、ハードウェアで構成することができるが、例えばプログラムに従って動作するマイクロコンピュータで構成してもよい。

【0107】（実施の形態2）図2は本発明の実施の形態2による映像フォーマット変換回路の一構成例を示すブロック図である。図2において図1と同一または相当部分に同一符号を付している。

【0108】図2に示す実施の形態2の映像フォーマット変換回路において、MPEG2システム復号器20aは、図1のMPEG2システム復号器20の機能に加えて基準クロックPCRを出力する機能を有している。また、図2の映像フォーマット変換回路においては、図1の読み出し側PLL回路9が省かれている。また、図2の映像フォーマット変換回路においては、第2のアナログ映像信号AVS2の水平同期信号および垂直同期信号を生成するため、図1の同期分離回路10に代えて、同期信号生成回路30が設けられている。さらに、図2の映像フォーマット変換部4aの構成が図1の映像フォーマット変換部4の構成と異なっている。

【0109】MPEG2システム復号器20aは、デジタル映像信号DVSとともに送信されてきたプログラムクロックリファレンス（Program Clock Reference）から27MHzの基準クロックPCRを再生して出力する。

【0110】同期信号生成回路30は、同期分離回路7から水平同期信号および垂直同期信号を受け、MPEG2システム復号器20aから基準クロックPCRを受ける。そして、同期信号生成回路30は、第2のアナログ映像信号AVS2の映像フォーマットにあった水平同期信号および垂直同期信号を生成して出力する。例えば、第2のアナログ映像信号AVS2が走査線数525本およびフィールド周波数59.94Hzのインタレース方式のNTSC信号である場合、同期信号生成回路30が出力する水平同期信号の周波数は15.73KHzであり、垂直同期信号のパルス幅は9H（ $H=63.5\mu s$ ）である。同期信号生成回路の詳細な構成および動作は後述する。

【0111】映像フォーマット変換部4aは、垂直・水

平フィルタ41、メモリ回路42、書き込み制御回路43および読み出し制御回路44aを備えている。映像フォーマット変換部4aの垂直・水平フィルタ41、メモリ回路42および書き込み制御回路43の動作は、図1に示す映像フォーマット変換部4の垂直・水平フィルタ41、メモリ回路42および書き込み制御回路43の動作と同様である。

【0112】読み出し制御回路44aには、図1に示す読み出し制御回路44とは異なり、13.5MHzの読み出しクロックが供給されていない。そのため、読み出し制御回路44aは、MPEG2システム復号器20aから供給された27MHzの基準クロックPCRを分周して13.5MHzの読み出しクロックを生成する。読み出し制御回路44aは、生成した読み出しクロックならびに、同期信号生成回路30から供給された水平同期信号および垂直同期信号に応じて読み出しの制御を行う。それにより、読み出し制御回路44aは、図1の読み出し制御回路44と同じ動作を行うことができ、したがって、映像フォーマット変換部4aは、図1の映像フォーマット変換部4と同じ動作を行うことができる。

【0113】次に、図3を用いて同期信号生成回路30の一構成例について説明する。図3において、同期信号生成回路30は、入力端子31~33、カウンタ回路34、フィールド極性判別回路35、波形整形回路36、カウンタ初期値切り換え回路37、レジスタR1、R2および出力端子38、39を備えている。

【0114】同期信号生成回路30の入力端子31には、MPEG2システム復号器20aから27MHzの基準クロックPCRが入力され、入力端子32には、同期分離回路7から垂直同期信号が入力され、入力端子33には同期分離回路7から水平同期信号が入力される。

【0115】フィールド極性判別回路35は、入力端子32の垂直同期信号および入力端子33の水平同期信号を用いて、図2のメモリ回路42から読み出す第2の画像データのフィールドが偶数フィールドか奇数フィールドかの判別を行う。フィールド極性判別回路35は、判別結果に応じてカウンタ初期値切り換え回路37に切り換え信号を出力する。

【0116】切り換え回路37は、フィールド極性判別回路35から与えられた切り換え信号に応じてレジスタR1、R2とカウンタ回路34との接続を切り換える。例えば、レジスタR1には偶数フィールドに対応する初期値Aが保持され、レジスタR2には奇数フィールドに対応する初期値Bが保持されている。偶数フィールドのときにはレジスタR1がカウンタ回路34に接続され、奇数フィールドのときにはレジスタR2がカウンタ回路34に接続される。

【0117】カウンタ回路34は、入力端子31から与えられる27MHzの基準クロックPCRをカウントする1716進カウンタである。1716進カウンタとす

るのは、13.5MHzの読み出しクロックで図2のメモリ回路42から読み出される第2の画像データのデータ数が走査線1ライン当たり858であるからである。カウンタ回路34は、入力端子32からロード(LOAD)端子に与えられる垂直同期信号に応じて、レジスタR1が保持している初期値AまたはレジスタR2が保持している初期値Bからカウントを開始する。初期値Aからカウントを開始するか初期値Bからカウントを開始するかによって、カウンタ回路34が出力する水平同期信号の位相が $H/2$ ($H=63.5\mu s$)ずれる。そのため、カウンタ回路34は、インタレース方式にあった水平同期信号を出力端子38に出力することができる。

【0118】波形整形回路36は、入力端子31の基準クロックPCRを用い、入力端子32から与えられた垂直同期信号の波形整形を行って9Hのバルス幅を持った垂直同期信号を出力端子39に出力する。

【0119】このように、本実施の形態2の映像フォーマット変換回路によれば、同期信号生成回路30により第2のアナログ映像信号AVS2の水平同期信号および垂直同期信号が第1のアナログ映像信号AVS1の水平同期信号、垂直同期信号および基準クロックPCRから生成され、読み出し制御回路44aにより基準クロックPCRが分周されて読み出しクロックが生成され、読み出し制御回路44aはこれら第2のアナログ映像信号AVS2の水平同期信号、垂直同期信号および読み出しクロックを用いて読み出しの制御を行う。そのため、図1の映像フォーマット変換回路に比べてPLL回路の数を削減することができ、異なるクロック同士の相互干渉を少なくしてジッタの発生を減らすことができる。

【0120】本実施の形態では、低域通過フィルタ、A/D変換器3、映像フォーマット変換部4a、D/A変換器5、低域通過フィルタ6、同期分離回路7、書き込み側PLL回路8および同期信号生成回路30が変換手段に相当する。

【0121】また、低域通過フィルタ2、A/D変換器3、垂直・水平フィルタ41、書き込み制御回路43、読み出し制御回路44a、同期分離回路7、書き込み側PLL回路8および同期信号生成回路30が読み書き制御手段に相当する。

【0122】また、読み出し制御回路44aが第2のクロック発生手段および読み出し制御手段に相当する。

【0123】また、MPEG2システム復号器20aがディジタル映像信号を第1の映像信号に復号して変換手段に与えると同時にフォーマット情報を判別手段に与える復号器に相当する。

【0124】また、MPEG2システム復号器20aがディジタル映像信号を第1の映像信号に復号して変換手段に与えると同時にフォーマットを判別手段に与え、かつ基準クロックを生成する復号器に相当する。

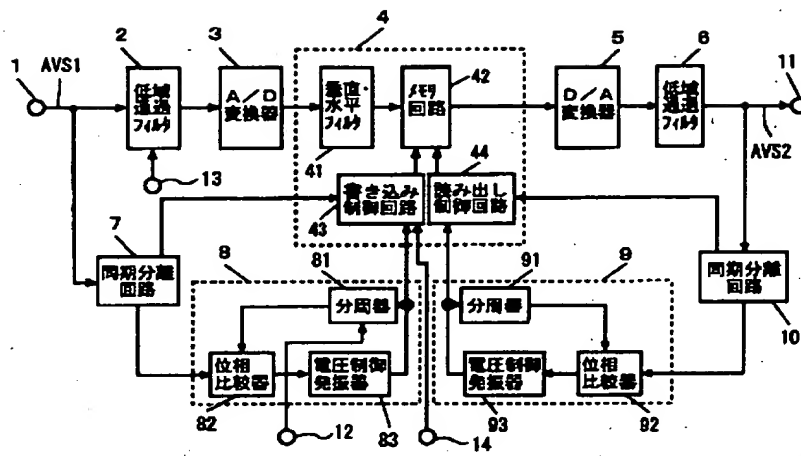
【0125】また、低域通過フィルタに、A/D変換器

【図面の簡単な説明】

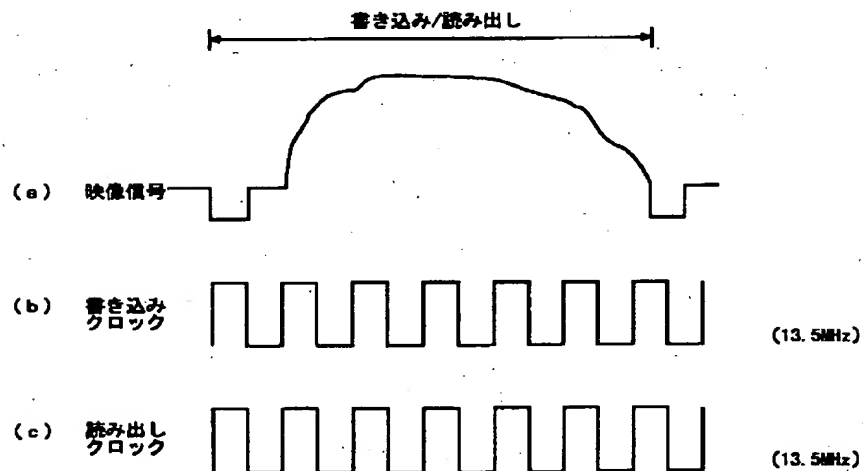
- 2, 6 低域通過フィルタ
- 3 A/D変換器
- 4, 4a 映像フォーマット変換回路
- 5 D/A変換器
- 7, 10 同期分離回路
- 8 書き込み側PLL回路
- 9 読み出し側PLL回路
- 81, 91 分周器
- 20 MPEG2システム復号器
- 30 同期信号生成回路

[illegible]

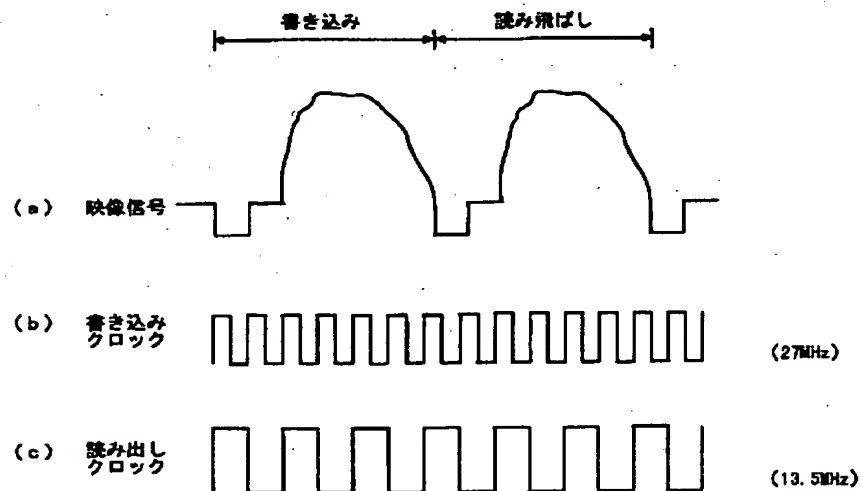
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.